

## 2.4 TTL 集成门电路

### (Transistor—Transistor Logic)

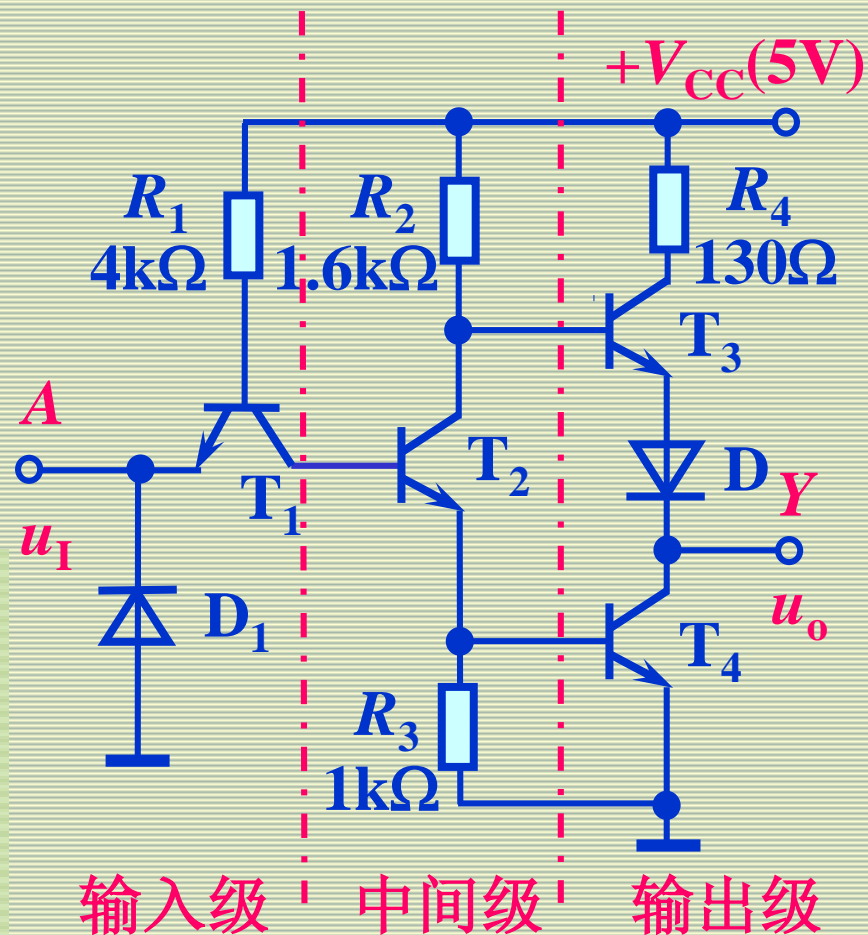
#### 2.4.1 TTL 反相器

##### 一、电路组成及工作原理

##### 1. 电路组成

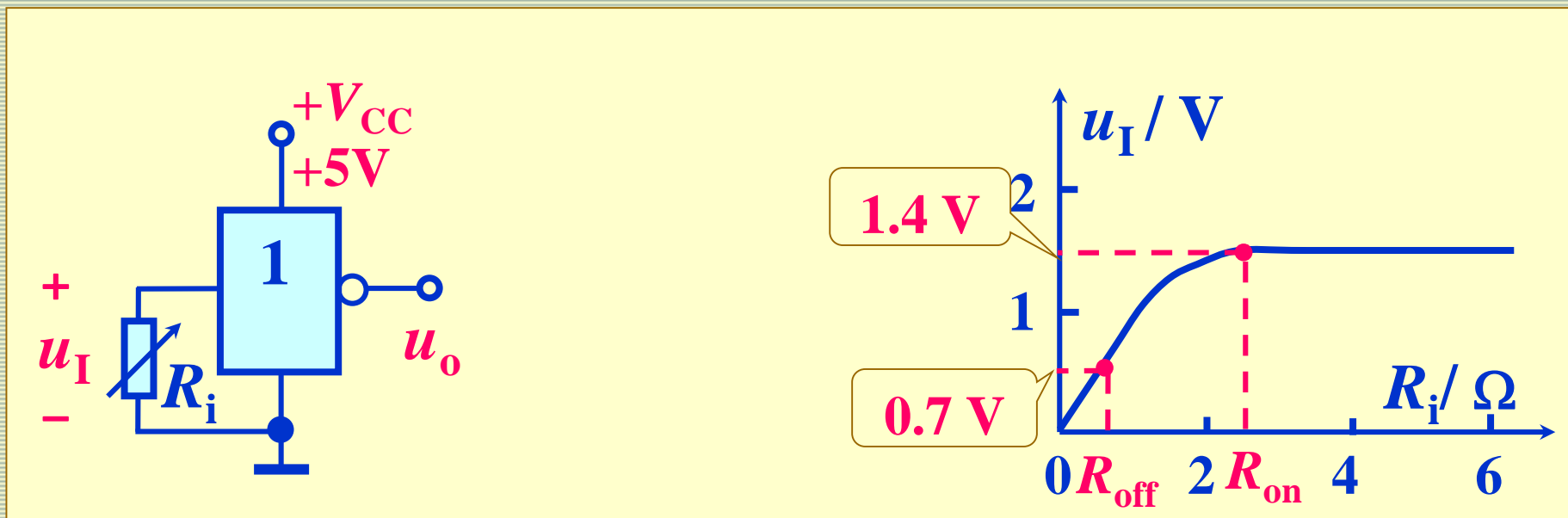
$D_1$  — 保护二极管  
防止输入电压过低。

因为  $D_1$  只起保护作用，不参加逻辑判断，为了便于分析，今后在有些电路中将省去。



## 二、静态特性

(2) 输入端负载特性:  $u_I = f(R_i)$



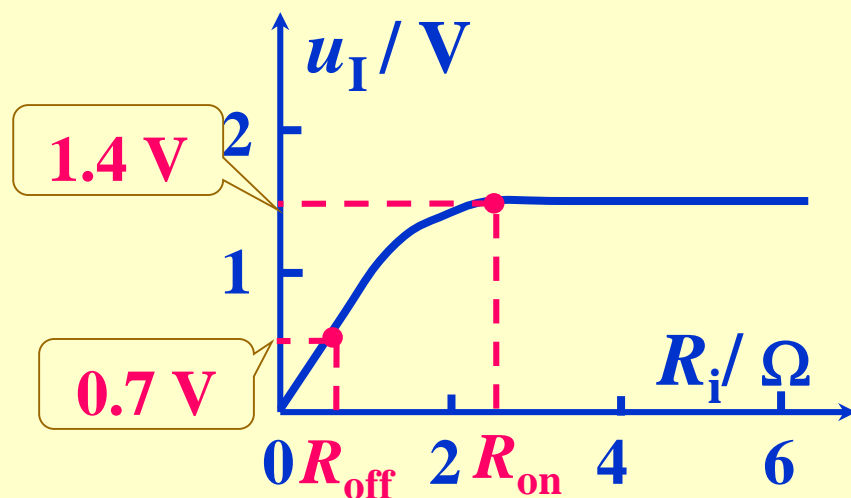
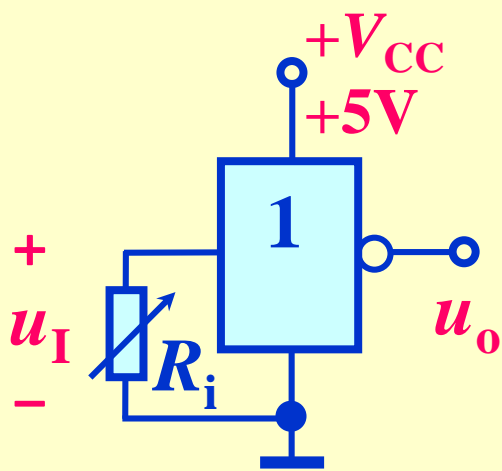
$$R_i < 0.7 \text{ k}\Omega$$

$u_I$  为低电位,  $T_4$  截止  $u_O = U_{OH} = 3.6 \text{ V}$

$0.7 \text{ k}\Omega = R_{off}$  — 关门电阻 ( $< 0.7 \text{ k}\Omega$ )

即: 当  $R_i$  为  $0.7 \text{ k}\Omega$  以下电阻时, 输入端相当于低电平。

## (2) 输入端负载特性: $u_I = f(R_i)$



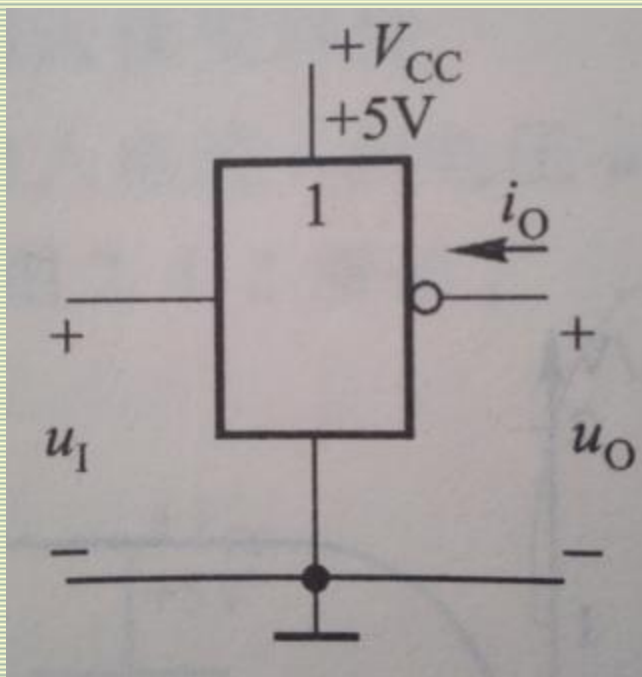
$$R_i = 2.5 \text{ k}\Omega \sim \infty$$

$$u_I \geq 1.4 \text{ V} \quad T_4 \text{ 饱和导通} \quad u_O = U_{OL} \leq 0.3 \text{ V}$$

$R_i = R_{on}$  — 开门电阻 (2.5 k $\Omega$ )

即：当  $R_i$  为 2.5 k $\Omega$  以上电阻时，输入由低电平变为高电平。  
 $R_{on}$  与  $R_{off}$  之间是异常情况。

## 2. 输出特性

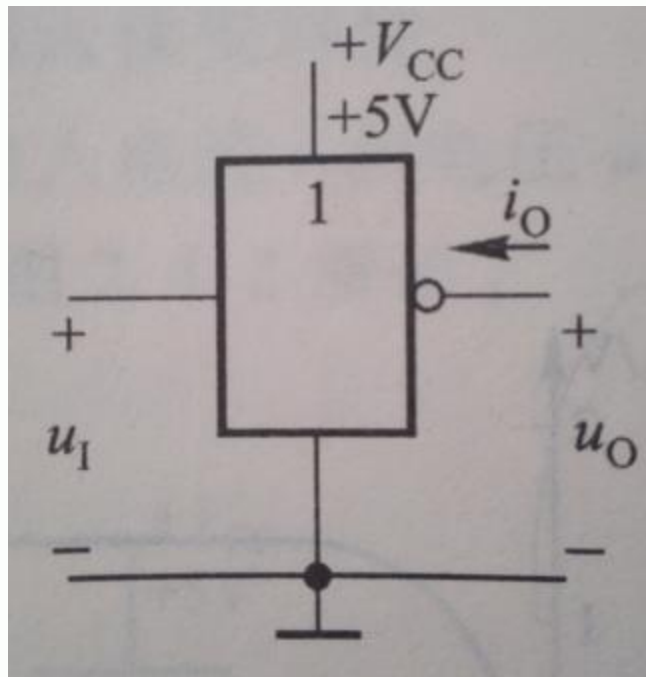


(1) 输出为低电平时，带灌电流负载， $I_{OL}$ 可达16mA。

(2) 输出为高电平时，带拉电流负载， $I_{OH}$ 一般为-0.4mA，但对地短接时，可达-33mA= $I_{OS}$ （输出短路电流）。

(3) 规定，输出为高电平时，输出端对地短接时间不得超过1s，否则器件因过热损坏。

## 3. 电压传输特性



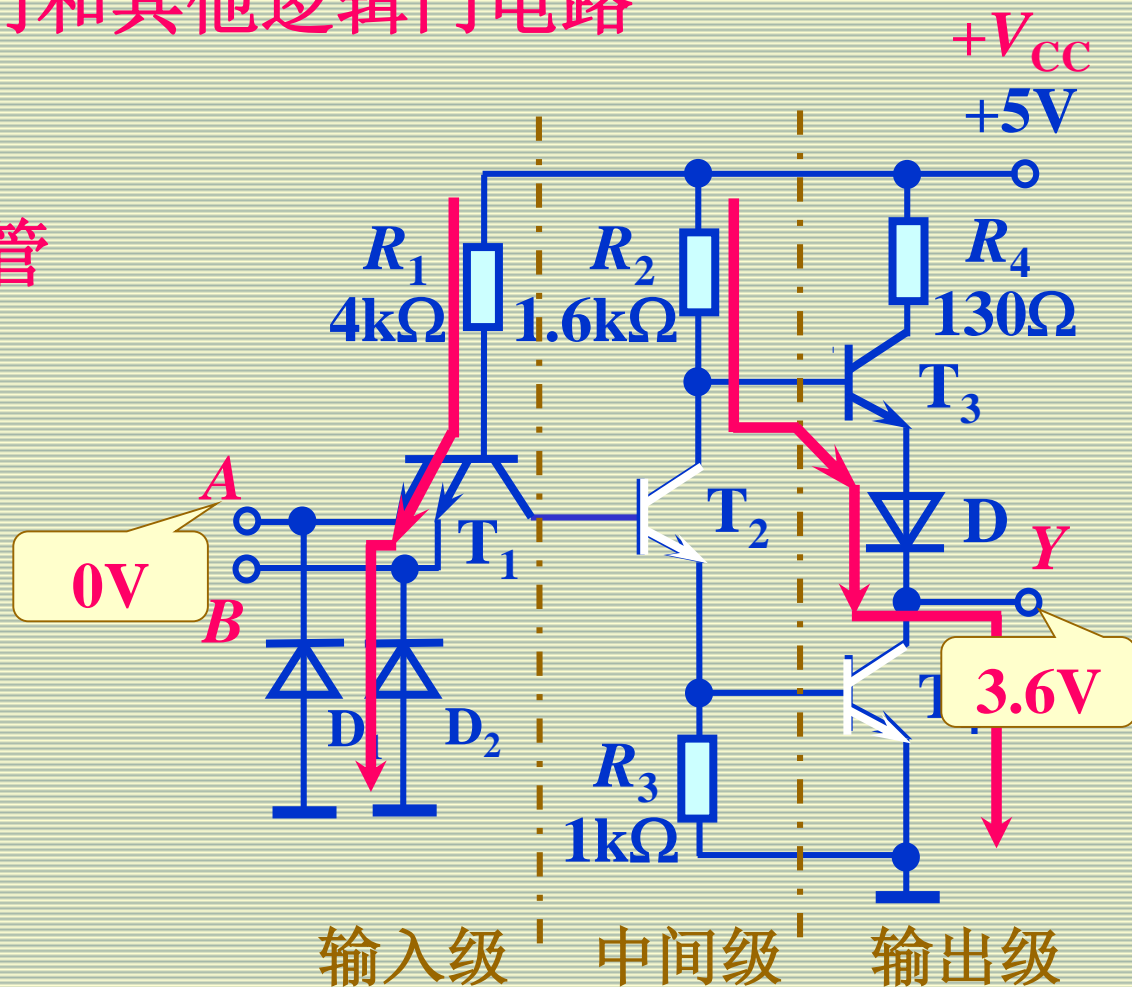
(1) 输出端电平值  
 $U_{OH}$  典型值 3.6V，最小值 2.4V； $U_{OL}$  典型值 0.3V，最大值 0.4V。

(2) 输入端电平值  
 输入  $U_{IH}$  典型值 3.6V，最小值 2.0V（开门电平）； $U_{IL}$  典型值 0.3V，最大值 0.8V（关门电平）。

## 2.4.2 TTL与非门和其他逻辑门电路

### 一、TTL与非门

$T_1$ —多发射极三极管



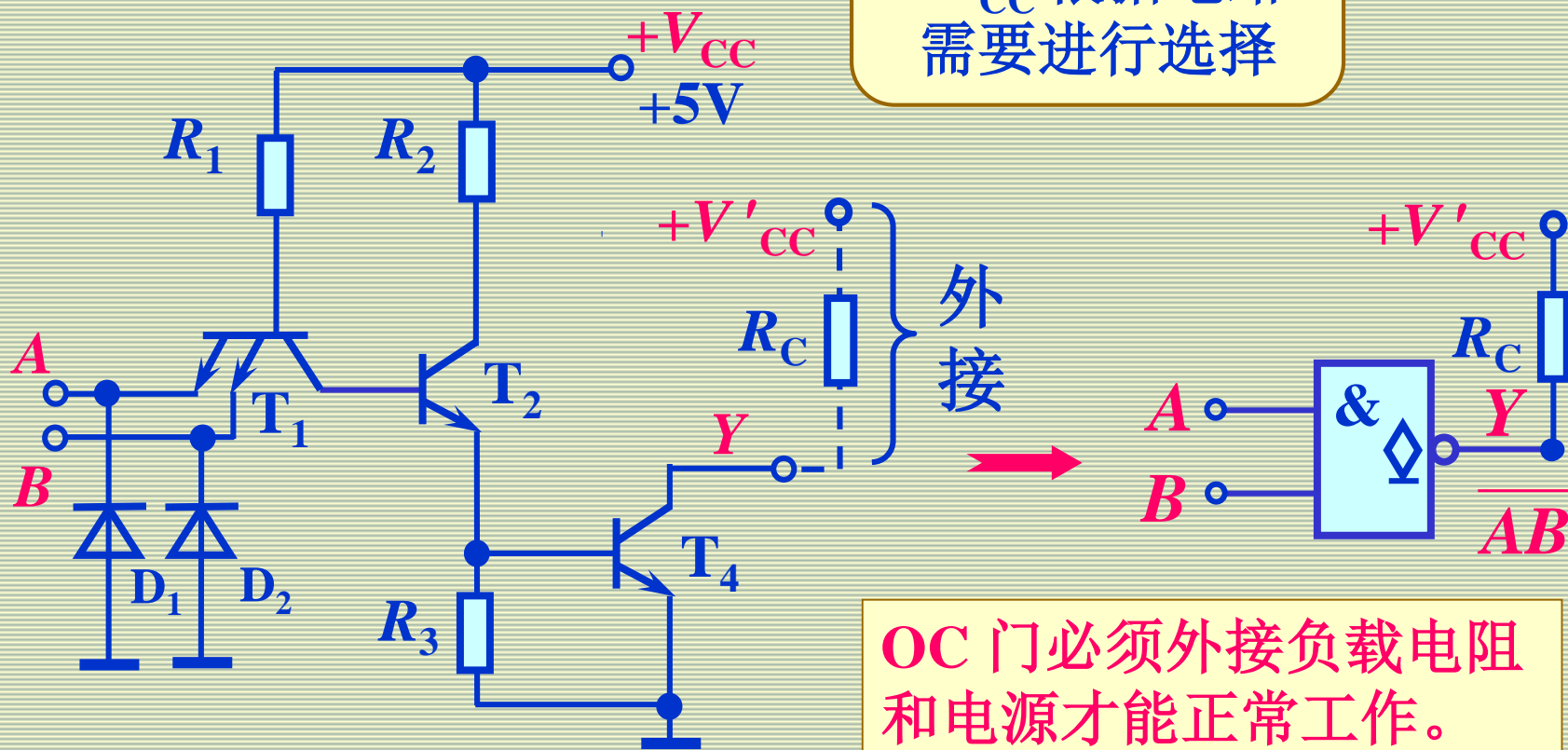
- 同CMOS集成电路一样，TTL
  - 与门是由与非门和非门构成。
  - 或门是由或非门和非门构成。
  - 与或非门、异或门也可由与非门、或非门、非门构成。

## 2.4.3 TTL 集电极开路门和三态门

### 一、集电极开路门—OC 门(Open Collector Gate)

1. 电路组成及符号
2. OC 门的主要特点

可以线与连接  
 $V'_{CC}$  根据电路  
 需要进行选择



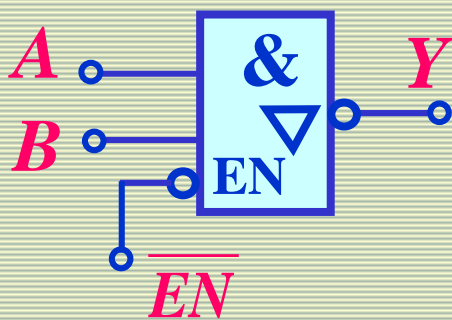
OC 门必须外接负载电阻  
 和电源才能正常工作。



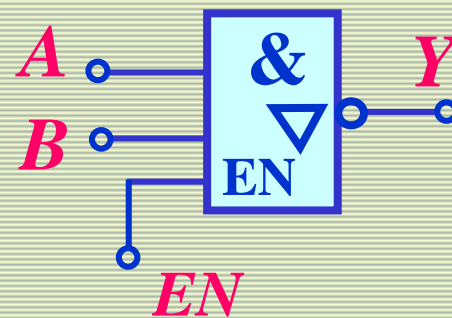
## 二、输出三态门 - TSL门(Three - State Logic)

### 1. 电路组成

(1) 使能端低电平有效



(2) 使能端高电平有效

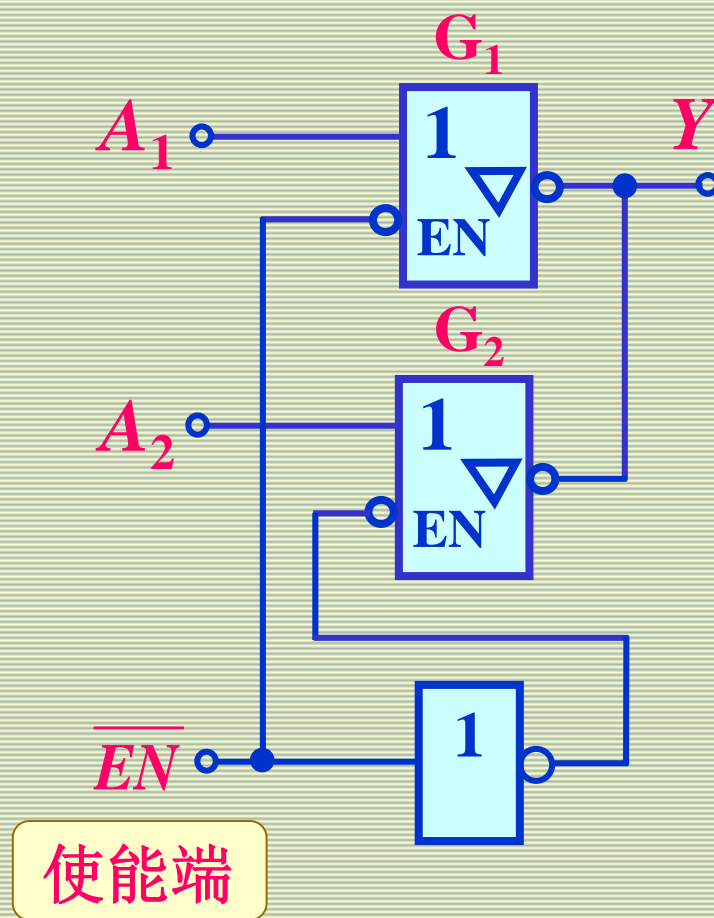


### 3. 应用举例:

#### (1) 用做多路开关

$$\overline{EN} = 0 \text{ 时 } Y = \overline{A_1}$$

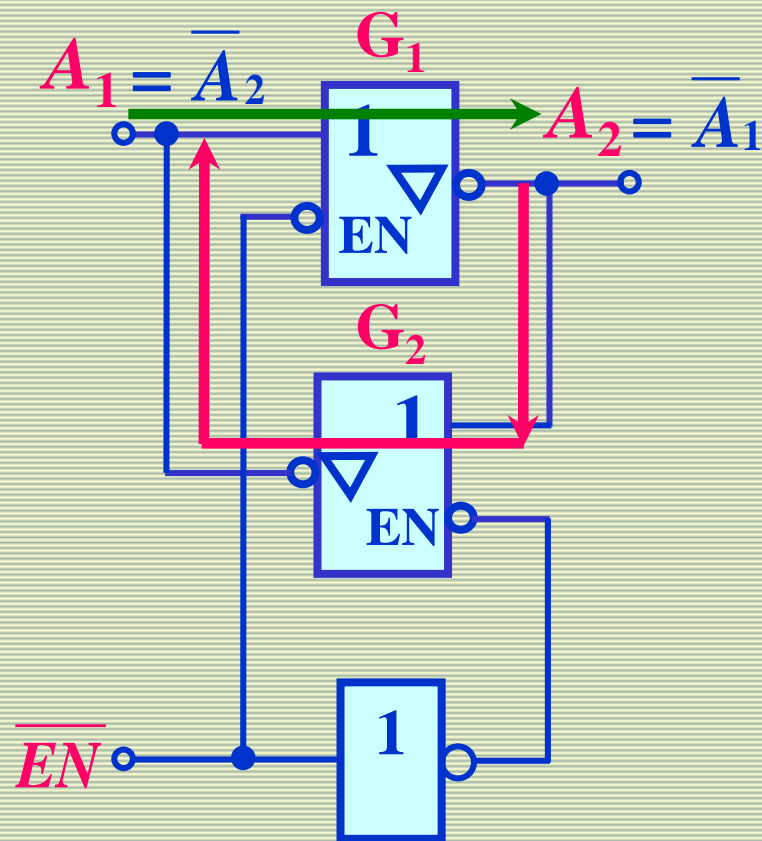
$$\overline{EN} = 1 \text{ 时 } Y = \overline{A_2}$$



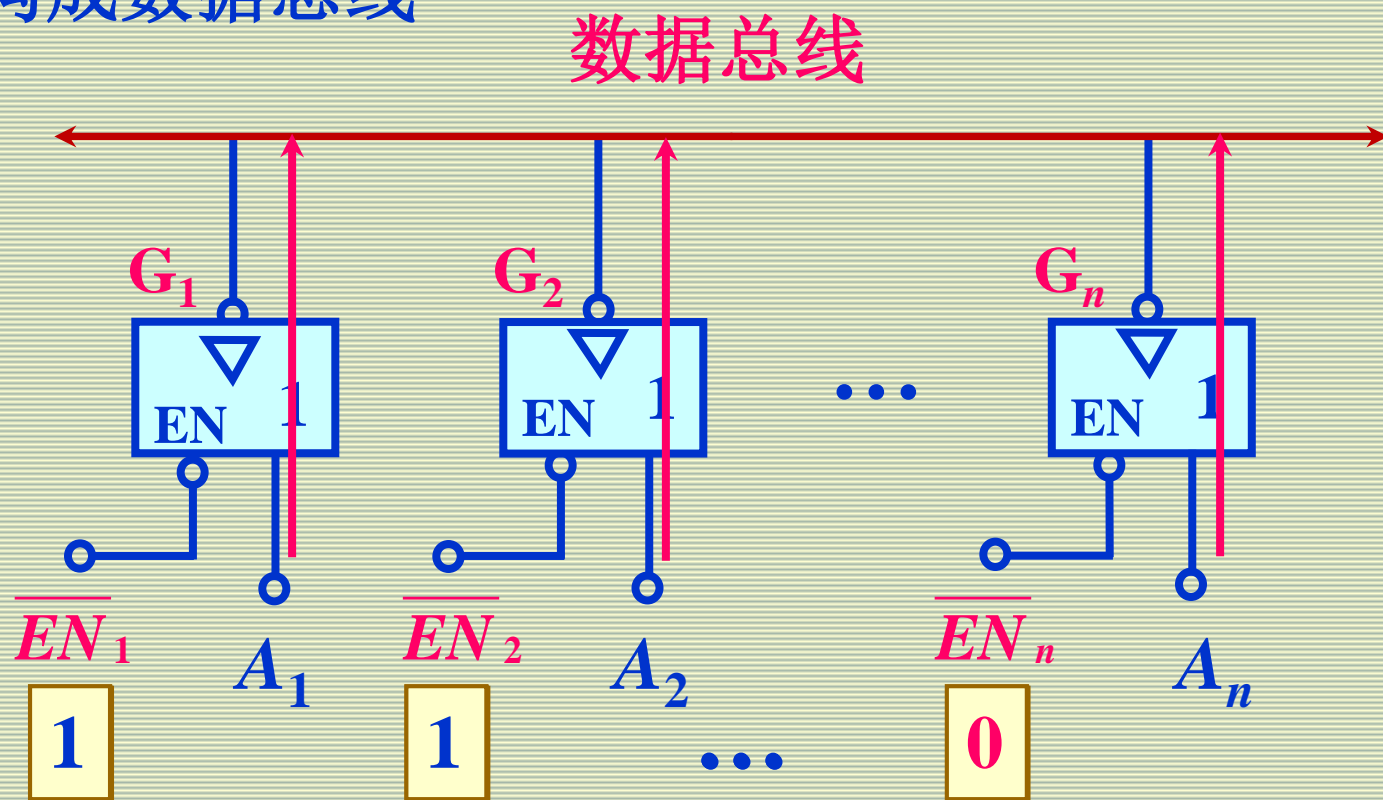
## (2) 用于信号双向传输

$\overline{EN} = 0$  时

$\overline{EN} = 1$  时



### (3) 构成数据总线



**注意:**

任何时刻，只允许一个三态门使能，其余为高阻态。